

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-191450

⑬ Int. Cl.⁵

G 06 F 12/16
3/06

識別記号

3 1 0 P
3 0 6 B

庁内整理番号

7737-5B
6711-5B

⑭ 公開 平成3年(1991)8月21日

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 メモリーカードの不良チップ代替え回路

⑯ 特 願 平1-334313

⑰ 出 願 平1(1989)12月21日

⑱ 発 明 者 石 田 豊 範 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

メモリーカードの不良チップ代替え回路

特許請求の範囲

少なくとも1個の子備用を含む複数のメモリーチップと、各該メモリーチップのうち使用不可のものを示すデータを書き込むためのメモリー手段と、該メモリー手段の書き込み内容および外部から与えられるアドレス指定用データにตอบสนองして前記メモリーチップの代替え選択対象を示すデータを発生するデコード変換手段とを備えていることを特徴としたメモリーカードの不良チップ代替え回路。

発明の詳細な説明

(産業上の利用分野)

本発明はメモリーカードの不良チップの代替え回路に関する。

(従来の技術)

従来のメモリーカードは、内部に複数のメモリーチップを持つ場合、メモリーカードに割り当てられたアドレス空間に対し必要な数のチップだけを持っている。

(発明が解決しようとする課題)

上述した従来のメモリーカードは、カード内部に1つでも不良のメモリーチップがあると、少なくともその不良チップのアドレス領域は使用不可能であり、多くの場合そのカードは使用不可能になるという欠点がある。

(課題を解決するための手段)

本発明の回路は、少なくとも1個の子備用を含む複数のメモリーチップと、各該メモリーチップのうち使用不可のものを示すデータを書き込むためのメモリー手段と、該メモリー手段の書き込み内容および外部から与えられるアドレス指定用データにตอบสนองして前記メモリーチップの代替え選択対象を示すデータを発生するデコード変換手段とを備えている。

〔実施例〕

本発明について図面を参照して説明する。

第1図は本発明の一実施例のブロック図である。同図において、5個のメモリーチップ5〜9の中の4個のチップのみが使用され、もしその中に1個不良チップが存在した場合には残りの1個を不良チップの代替えとして使用する。アドレスバス11の上位2ビット(A₀, A₁)はメモリーチップのセレクト信号として使用され、デコーダ1によって4本のチップセレクト信号(B₃〜B₀)にデコードされる。このデコード信号は、変換器2に送られ、どのメモリーチップを代替えするかを示す代替チップセレクト信号(C₄〜C₀)を、EEPROM(電気的消去可能な読み出専用メモリー)3の内容により決定する。

まず、デコーダ1の入出力真理値表を第1表に示す。

(以下空白)

チップを代替えするかを決定できる。

第2表

B ₃ B ₂ B ₁ B ₀	n ₂ n ₁ n ₀	C ₄ C ₃ C ₂ C ₁ C ₀
0 0 0 0	0 0 0 0 0 1 0 1 0 0 1 1 1 0 0	0 0
0 0 0 1	0 0 0 0 0 1 0 1 0 0 1 1 1 0 0	0 0 0 0 1 0 0 0 0 1 0 0 0 0 1 0 0 0 0 1 0 0 0 0 1
0 0 1 0	0 0 0 0 0 1 0 1 0 0 1 1 1 0 0	0 0 0 1 0 0 0 0 1 0 0 0 0 1 0 0 0 0 1 0 0 0 0 1 0
0 1 0 0	0 0 0 0 0 1 0 1 0 0 1 1 1 0 0	0 0 1 0 0 0 1 0 0 0 0 1 0 0 0 0 1 0 0 0 0 0 1 0 0
1 0 0 0	0 0 0 0 0 1 0 1 0 0 1 1 1 0 0	0 1 0 0 0 1 0 0 0 0 1 0 0 0 0 1 0 0 0 0 1 0 0 0 0

第1表

E N	A ₁ A ₀	B ₃ B ₂ B ₁ B ₀
1	0 0 0 1 1 0 1 1	0 0 0 1 0 0 1 0 0 1 0 0 1 0 0 0
0	0 0 0 1 1 0 1 1	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

制御信号線12を通して与えられるイネーブル信号(E N)の論理値が“1”の場合には、デコーダ1の動作がイネーブルされ、EEPROM3の書き込みディスエーブルされる。イネーブル信号(E N)の論理値が“0”のとき、デコーダ1はディスエーブルされ、EEPROM3がイネーブルされ、これにデータバス10を通して不良チップ(1個)へのアクセスを禁止し代替えチップを指示するための3ビットデータ(n₂〜n₀)を与える。

変換器2の入出力の関係は第2表に示す通りであり、EEPROM3から読み出した3ビットデータ(n₂, n₁, n₀)によりどのメモリーチ

例えば、メモリーチップ5が不良になった場合には、EEPROM3に(001)を書き込めば、メモリーチップ5以外の4個を使用できる。

〔発明の効果〕

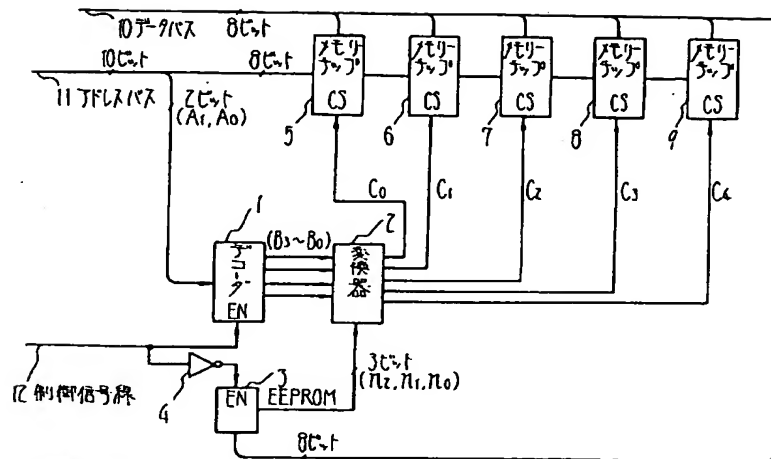
以上説明したように本発明は、メモリーカード内部に予備のメモリーチップを持たせ、不良チップが存在したときにはその代替をさせることによりメモリーカードの不良率を低減できる効果がある。

図面の簡単な説明

第1図は本発明の一実施例のブロック図である。

1…デコーダ、2…変換器、3…EEPROM、4…インバータ、5〜9…メモリーチップ、10…データバス、11…アドレスバス、12…制御信号線。

代理人 弁理士 内 原 賢



第 1 図

JAPAN PATENT OFFICE

PATENT LAID-OPEN OFFICIAL GAZETTE

Laid-Open No.

H03-191450

Laid-Open

H.3 (1991) Aug. 21

Application No.: H01-334313

Filed: H.1 (1989) Dec.21

Inventor: Toyonori Ishida
5-33-1 Shiba, Minato-ku, Tokyo
NEC Corporation

Applicant: NEC Corporation
5-7-1 Shiba, Minato-ku, Tokyo

Attorney, Agent: Susumu Uchihara

1. TITLE OF THE INVENTION

Circuitry for Substitution of Defective Chips in Memory Cards

2. WHAT IS CLAIMED IS:

Circuitry for substitution of defective chips in memory cards comprising multiple memory chips including at least one spare chip; a memory resource to which data that indicates non-usable chips among said memory chips is written; and a means of decoding that generates data indicating substitute chips for said memory chips, selection of which is according to the data written to said memory resource and the address-specification data supplied by an external source.

3. DETAILED DESCRIPTION OF THE INVENTION

[Scope of Utilization in Industry]

This invention concerns circuitry for the substitution of defective chips in memory cards.

[Prior Art]

A conventional memory card which includes multiple memory chips only has the number of number of memory chips that corresponds to the address space allocated to the memory card.

[Problem]

In a conventional memory card as described above, presence of a single defective chip will disable the use of, at least, the address area for that chip. This makes the card unusable in most cases.

[Solution]

The circuitry of the present invention is comprised of multiple memory chips including at least one spare chip; a memory resource to which data that indicates non-usable chips among said memory chips is written; and a means of decoding that generates data indicating substitute chips for said memory chips, selection of which is according to the data written to said memory resource and the address-specification data, which is supplied by an external source.

[Embodiment]

The following is a description, with reference to drawings, of an embodiment of the present invention.

Fig. 1 is a block diagram showing an embodiment of the present invention. In this figure, only four memory chips of the five memory chips 5 to 9 are in use; if one of the four chips is defective, the single remaining chip will be used in place of the defective chip. The higher-order two bits of the address bus (A0, A1) are used as memory-chip-select signals and are decoded to four lines of chip-select signals (B3 to B0) by decoder 1. These decoded signals are fed to converter 2, which determines, on the basis of the contents of EEPROM (electronically erasable and programmable read-only memory) 3, the substitute chip-select signals (C4 to C0) that indicate the chip to be substituted.

The truth table of the input/output of decoder 1 is given in table 1.

When the logical value of the enable signal (EN) supplied through the control signal line 12 is "1", the operation of decoder 1 is enabled and writing to EEPROM 3 is disabled. When the logical value of the enable signal (EN) is "0", the operation of decoder 1 is disabled and writing to EEPROM 3 is enabled; the three bits of data (n2 to n0) which will be used to indicate the chip for substitution

by inhibiting access to the defective chip (single chip) are then written to EEPROM 3 via data bus 10.

The relationship between the input and output of converter 2 is as shown in table 2. Which memory chip should be substituted can be determined by the three bits of data (n2, n1, n0) read out from EEPROM 3.

For example, if memory chip 5 has become defective, writing the value "001" to EEPROM 3 enables the use of the four chips other than memory chip 5.

[Effects of the Invention]

With the present invention as described above, the defect rate of memory cards can be reduced by furnishing the memory card with one or more spare memory chips and using these as substitute chips when any of the chips is defective.

4. BRIEF DESCRIPTION OF DRAWING

Fig. 1 is a block diagram that illustrates one embodiment of the present invention.

- 1: decoder
- 2: converter
- 3: EEPROM
- 4: inverter
- 5 through 9: memory chips
- 10: data bus
- 11: address bus
- 12: control-signal line

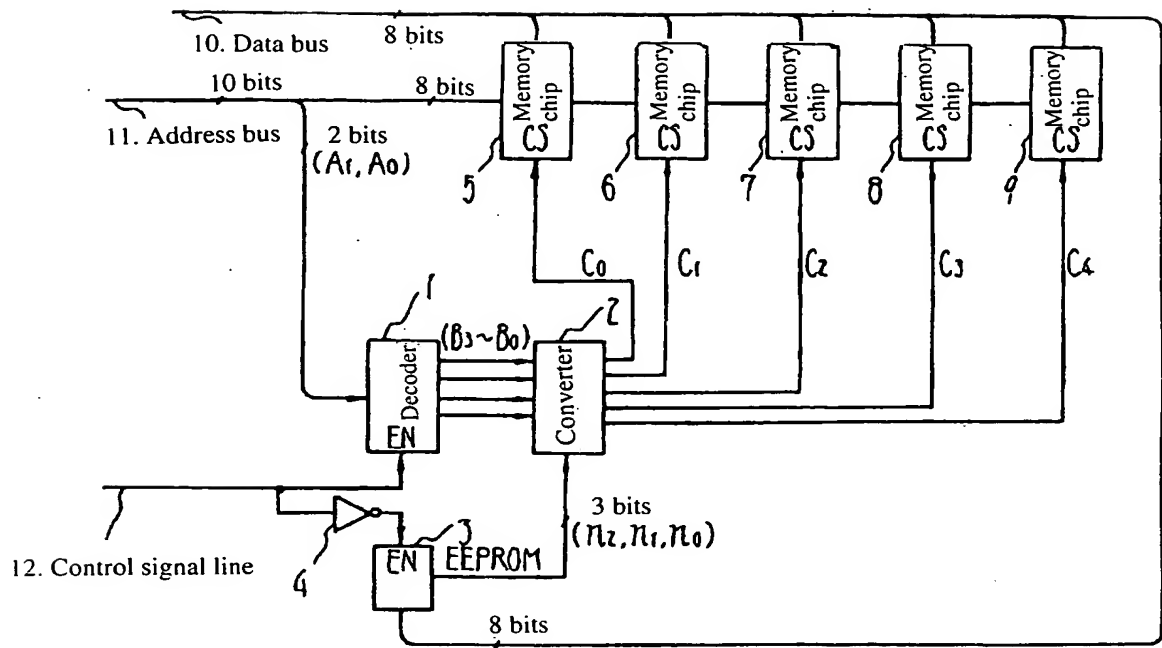


Figure 1

Table 1

E N	A ₁ A ₀	B ₃ B ₂ B ₁ B ₀
1	0 0	0 0 0 1
	0 1	0 0 1 0
	1 0	0 1 0 0
	1 1	1 0 0 0
0	0 0	0 0 0 0
	0 1	0 0 0 0
	1 0	0 0 0 0
	1 1	0 0 0 0

Table 2

B ₃ B ₂ B ₁ B ₀	n ₂ n ₁ n ₀	C ₄ C ₃ C ₂ C ₁ C ₀
0 0 0 0	0 0 0 0 0 1 0 1 0 0 1 1 1 0 0	0 0
0 0 0 1	0 0 0 0 0 1 0 1 0 0 1 1 1 0 0	0 0 0 0 1 0 0 0 1 0 0 0 0 0 1 0 0 0 0 1 0 0 0 0 1
0 0 1 0	0 0 0 0 0 1 0 1 0 0 1 1 1 0 0	0 0 0 1 0 0 0 0 1 0 0 0 0 1 0 0 0 0 1 0 0 0 0 1 0
0 1 0 0	0 0 0 0 0 1 0 1 0 0 1 1 1 0 0	0 0 1 0 0 0 0 1 0 0 0 0 1 0 0 0 0 1 0 0 0 0 1 0 0
1 0 0 0	0 0 0 0 0 1 0 1 0 0 1 1 1 0 0	0 1 0 0 0 1 0 0 0 0 1 0 0 0 0 1 0 0 0 0 1 0 0 0 0